

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-082787

(43)Date of publication of application : 02.04.1993

(51)Int.Cl. H01L 29/784
H01L 29/788
H01L 29/792

(21)Application number : 03-268297 (71)Applicant : SONY CORP

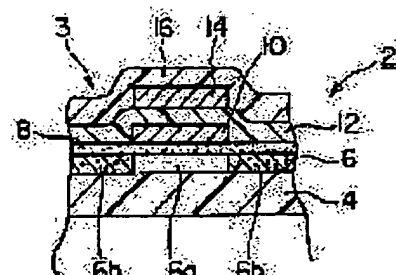
(22)Date of filing : 19.09.1991 (72)Inventor : NISHIMOTO YOSHITSUGU

(54) THIN FILM TRANSISTOR TYPE NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To provide a nonvolatile semiconductor memory device wherein a chip size for acquiring a memory of the same capacity is greatly reduced, high integration is possible and layout design which is free in three dimensional direction is possible.

CONSTITUTION: A channel region 6a is formed in a semiconductor thin film 6 which is formed directly or indirectly through another functional thin film on an insulating film 4. A floating gate 10 and a control gate 14 for constituting a nonvolatile semiconductor memory are formed through an insulating film at an upper layer side and/or a lower layer side of the semiconductor thin film 6 wherein the channel region 6a is formed. Thereby, a TFT-type EPROM or E2PROM is constituted. A gate electrode of an MNOS structure can be formed at an upper layer side and/or a lower layer side of the semiconductor thin film 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

【特許請求の範囲】

【請求項1】 絶縁膜上に直接あるいは他の機能薄膜を介して間接的に形成してある半導体薄膜に、チャネル領域を形成し、このチャネル領域が形成された半導体薄膜の上層側および／または下層側に、不揮発性半導体メモリを構成するためのゲート電極構造が形成してあることを特徴とする薄膜トランジスタ型不揮発性半導体メモリ装置。

【請求項2】 上記ゲート電極構造は、絶縁膜を介してそれぞれ積層されるフローティングゲートと、コントロールゲートとから成る請求項1に記載の薄膜トランジスタ型不揮発性半導体メモリ装置。

【請求項3】 上記ゲート電極構造は、絶縁膜を介して積層される窒化珪素膜とゲート電極とから成る請求項1に記載の薄膜トランジスタ型不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性半導体メモリ装置に係わり、特に薄膜トランジスタ(TFT)型の不揮発性半導体メモリ装置に関する。

【0002】

【従来の技術】 不揮発性半導体メモリ装置としては、情報の消去および書き込みが可能なEPROM、フラッシュ型E² PROMおよびMNOS型E² PROMが知られている。これらのEPROM、フラッシュ型E² PROMおよびMNOS型E² PROMは、従来では、シリコン製半導体基板に、ソース、ドレイン領域およびチャネル領域を形成し、その半導体基板の上に、不揮発性メモリを構成するためのゲート電極構造が形成してある。

【0003】

【発明が解決しようとする課題】 このような従来の不揮発性半導体メモリ装置の容量を増大させるには、メモリセルを半導体基板の表面に沿って2次元的に配置せざるを得ないことから、メモリ装置のチップサイズを大きくせざるを得ないという問題点を有している。最近では、ゲート電極構造の配列を工夫することにより、高集積化を図ったメモリ装置も開発されているが、基本的には、メモリセルを半導体基板の表面に沿って2次元的に配置する構成のため、高集積化にも限界がある。

【0004】 また、従来の不揮発性半導体メモリ装置の構成では、半導体基板にソース、ドレイン領域およびチャネル領域を形成する構成であるため、チャネル領域とゲート電極との位置関係が一義的に定まり、設計レイアウトの自由度が狭いという問題点も有している。

【0005】 本発明は、このような実状に鑑みてなされ、同一容量のメモリを得るためのチップサイズを大幅に低減し、高集積化が可能であり、3次元方向に自由なレイアウト設計が可能な不揮発性半導体メモリ装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 このような目的を達成するために、本発明の不揮発性半導体メモリ装置では、絶縁膜上に直接あるいは他の機能薄膜を介して間接的に形成してある半導体薄膜に、チャネル領域を形成し、このチャネル領域が形成された半導体薄膜の上層側および／または下層側に、不揮発性半導体メモリを構成するためのゲート電極構造が形成してある。

【0007】

【作用】 本発明の不揮発性半導体メモリ装置では、半導体薄膜にチャネル領域を形成し、その半導体薄膜の上層側および／または下層側に、不揮発性半導体メモリを構成するためのゲート電極構造が形成してあるので、薄膜トランジスタ構造の不揮発性メモリが実現され、例えば半導体基板に、メモリ駆動用の周辺回路を形成する等により、チップサイズの低減および高集積化が可能になる。また、半導体薄膜の上層側および／または下層側にゲート電極構造を配置することが可能となるので、設計レイアウトの自由度が増大する。特に、半導体薄膜の下層側にゲート電極を有する構造では、このゲート電極を、半導体基板に形成したチャネルのゲート電極と共通化することが可能になり、ゲート電極配線数を減らすことが可能になる。

【0008】

【実施例】 以下、本発明の一実施例に係る薄膜トランジスタ(TFT)型不揮発性半導体メモリ装置について、図面を参照しつつ詳細に説明する。図1は本発明の一実施例に係るTFT型不揮発性半導体メモリ装置の要部概略断面図、図2～7は本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

【0009】 図1に示す不揮発性半導体メモリ装置2

は、半導体薄膜に形成してあるEPROMであり、図示するような構成のメモリセル3を有している。各メモリセル3では、図示しない半導体基板上に形成してある層間絶縁膜4の上に、半導体薄膜6が形成してある。この半導体薄膜6は、例えばCVD法により成膜されたポリシリコン薄膜であり、この薄膜6にチャネル領域6aと、ソース・ドレイン領域領域6bとが形成してある。なお、半導体薄膜6としては、ポリシリコン薄膜以外に、アモルファスシリコン薄膜あるいは単結晶成長させたSOI(Silicon On Insulator)構造の単結晶シリコン薄膜を用いるようにしても良い。半導体薄膜6の膜厚は、特に限定されないが、好ましくは数百～数千オングストローム程度である。薄膜6のグレインサイズは、リーク電流を防止する観点からは、大きいほど好ましい。

【0010】 半導体薄膜6の上には、ゲート絶縁膜8が積層される。ゲート絶縁膜8は、例えばCVD法により成膜される酸化シリコン薄膜で構成される。ゲート絶縁

膜8の膜厚は、特に限定されないが、フローティングゲート型EPROMを構成する場合には、400オングストローム以下程度である。また、フローティングゲートを有するフラッシュ型E⁺PROMを構成する場合には、100オングストローム程度である。フローティングゲート型EPROMと、フローティングゲートを有するフラッシュ型E⁺PROMとは、基本的には同様な構成を有しており、ゲート絶縁膜の膜厚と、情報の書き込み消去方法とに相違がある。フローティングゲート型EPROMでは、ホットエレクトロン効果を利用して情報の書き込みを行い、フローティングゲートを有するフラッシュ型E⁺PROMでは、トンネル効果を利用して情報の書き込みを行う。

【0011】ゲート絶縁膜8の上には、フローティングゲート10が形成される。フローティングゲート10は、例えばCVD法により成膜されたポリシリコン膜を所定のパターンにエッチングすること等により形成される。前述したソース・ドレイン領域6bは、フローティングゲート10を形成した後に、半導体薄膜6にセルフアライン的に例えばN型の不純物をイオン注入することにより形成される。P型のMOSTランジスタを構成させる場合には、P型の不純物をイオン注入する。

【0012】フローティングゲート10の上には、絶縁膜12を介してコントロールゲート14が形成される。コントロールゲート14は、フローティングゲートと同様に形成される。フローティングゲート14の上には、層間絶縁膜16が積層され、この絶縁膜16上に、配線層が形成される。

【0013】このような構成のEPROMから成る不揮発性半導体メモリ装置2では、情報の書き込みは、ソース・ドレイン間のホットエレクトロン効果を利用してフローティングゲート10に電子を書き込ませることにより行う。また、情報の消去は、紫外線光などを照射することにより、フローティングゲート10から電子を放出させることにより行う。また、図1に示す構造と同様な構造で、フラッシュ型E⁺PROMとした場合には、情報の書き込み消去は、トンネル電流効果を利用したフローティングゲート10に対する電子の注入および放出により行われる。

【0014】図2は本発明の他の実施例を示し、本発明をMNOS (Metal Nitride Oxide Semiconductor) 型E⁺PROMに適用した場合の例を示す。この実施例の半導体メモリ装置2aの各メモリセル3aでは、層間絶縁膜4上に、半導体薄膜6が形成してある。この半導体薄膜6は、図1に示す半導体薄膜6と同様であり、この薄膜6にチャネル領域6aと、ソース・ドレイン領域領域6bとが形成してある。半導体薄膜6の上には、ゲート絶縁膜8aとしての酸化珪素膜が形成してある。この酸化珪素膜の膜厚は、例えば20オングストローム以下である。この酸化珪素膜は、例えばCVD法により成膜

される。この酸化珪素膜から成る絶縁膜8aの上には、窒化珪素膜18が積層される。この窒化珪素膜18の中には、電子を捕獲するトラップが存在し、絶縁膜8aに高電界を印可し、トンネル電流を流し、情報の書き込み消去を行うようになっている。窒化珪素膜18の上には、ゲート電極20が所定のパターンで形成される。ゲート電極20としては、例えばアルミニウムからなる金属電極層が用いられる。

【0015】図3は、本発明のさらにその他の実施例を示し、ボトムゲート構造のTFT型不揮発性半導体メモリ装置の具体例を示す。この実施例の半導体メモリ装置2b、2cにおける各メモリセル3b、3cでは、層間絶縁膜4上に、コントロールゲート14、絶縁膜12、フローティングゲート10、ゲート絶縁膜8および半導体薄膜6が、この順で積層してあり、ゲート電極が半導体薄膜6の下方に形成してある。そして、半導体薄膜6に、ソース・ドレイン領域領域6bとチャネル領域6aとが形成してある。このようにゲート電極が半導体薄膜6の下方に形成してあるTFTをボトムゲート型TFTと称する。特に、図3(b)に示す実施例では、絶縁膜4の表面に凹部4aを形成し、この凹部4a内に、TFT構造のボトムゲートEPROMあるいはE⁺PROMを形成するようにしていることから、コントロールゲート14でフローティングゲート10を包み込むことが可能になり、しかも半導体装置の表面がフラットになり都合が良い。

【0016】図4に示す実施例の半導体メモリ装置2cでは、層間絶縁膜4の表面に、図1に示すようなTFT構造のトップゲート型メモリセル3と、図3(a)に示すようなTFT構造のボトムゲート型メモリセル3bとの二種類のメモリセルが多数配置してある。この実施例では、半導体薄膜6、フローティングゲート10およびコントロールゲート14を、すべて同一材質であるポリシリコン薄膜で構成することが好ましい。製造を容易にするためである。

【0017】図5に示す実施例の半導体メモリ装置2dでは、半導体基板22の表面にはN型MOS構造のトランジスタ24を形成し、その上に、層間絶縁膜4を介して図1に示すようなTFT構造のトップゲート型メモリセル3を形成してある。この実施例では、半導体薄膜6に形成してあるチャネル領域6aに対するN型MOS構造のトランジスタ24のゲート電極26の影響をなくするため、層間絶縁膜4の膜厚を十分に取る必要がある。この層間絶縁膜4の膜厚は、例えば1000オングストローム以上である。なお、図中、符号28は、N型MOS構造のトランジスタ24のゲート絶縁膜であり、符号30は、そのソース・ドレイン領域であり、符号32は、素子分離領域としての選択酸化領域である。

【0018】図6に示す実施例の半導体メモリ装置2eでは、半導体基板22の表面に形成してあるN型MOS

5

構造のトランジスタ24aのゲート電極を、TFT構造のボトムゲート型メモリセル3bのコントロールゲート14と兼用して共通化している。この実施例では、ゲート電極配線数を減らすことが可能になる。

【0019】図7(a)、(b)に示す実施例の半導体メモリ装置2f、2gは、半導体薄膜6の上層側および下層側の両側に、それぞれ、フローティングゲート10a、10bとコントロールゲート14a、14bとを絶縁膜8a、8b、12a、12bを介して積層してあるメモリセル3f、3gを有する。このようにゲート電極を半導体薄膜6のチャネル領域6aの上下両側に設けることで、チャネル領域6aを流れるオン電流を大きくすることが可能になり、メモリセルのオン・オフ比を向上させることができる。また、チャネル領域6aの上下両側にゲート電極を設けることで、これらゲート電極がシールドとなり、他の配線層からのチャネル領域6aに対する悪影響を防止することができる。

【0020】特に、図7(b)に示す実施例では、半導体薄膜6を比較的厚く形成し、上層側のフローティングゲート10aおよびコントロールゲート14aで、半導体薄膜6を覆うように積層してあることから、半導体薄膜6の側面もチャネル領域6aとして用いることが可能になる。当然のことながら、半導体薄膜6の側面に、個別のゲート電極を配置するように構成してもよい。なお、図7(b)は、チャネル領域6aを横断する断面図である。

【0021】なお、本発明は、上述した実施例に限定されるものではなく、本発明の範囲内で種々に改変することができる。

【0022】

【発明の効果】以上説明してきたように、本発明によれば、TFT構造の不揮発性メモリが実現され、例えば半導体基板上、高駆動能力が要求される駆動周辺回路を形成すること等により、チップサイズの低減および高集積化が可能になる。また、半導体薄膜の上層側および/または下層側にゲート電極構造を配置することが可能となるので、設計レイアウトの自由度が大幅に増大する。*

6

*特に、半導体薄膜の下層側にゲート電極を有する構造では、このゲート電極を、半導体基板上に形成したチャネルに対するゲート電極と共通化することが可能になり、ゲート電極配線数を減らすことが可能になる。また、半導体薄膜に形成してあるチャネル領域の上下両側にゲート電極を設けるようにした本発明では、上下のゲート電極がシールドとなり、他の配線層からのチャネルに対する悪影響を防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るTFT型不揮発性半導体メモリ装置の要部概略断面図である。

【図2】本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

【図3】本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

【図4】本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

【図5】本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

【図6】本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

【図7】本発明の他の実施例に係る薄膜トランジスタ型不揮発性半導体メモリ装置の要部概略断面図である。

【符号の説明】

2、2a、2b、2c、2d、2e、2f、2g…半導体メモリ装置

3、3a、3b、3c、3f、3g…メモリセル

4…層間絶縁膜

6…半導体薄膜

6a…チャネル領域

6b…ソース・ドレイン領域

8、8a、8b…ゲート絶縁膜

10、10a、10b…フローティングゲート

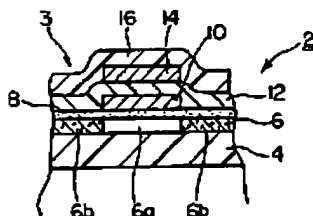
12、12a、12b…絶縁膜

14、14a、14b…コントロールゲート

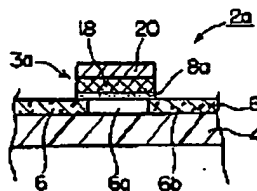
18…窒化珪素膜

20…ゲート電極

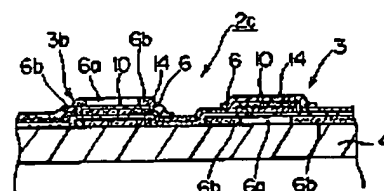
【図1】



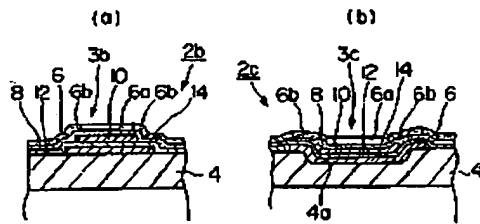
【図2】



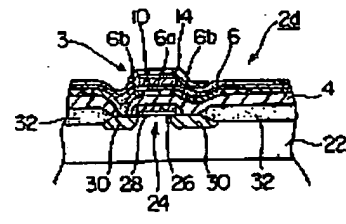
【図4】



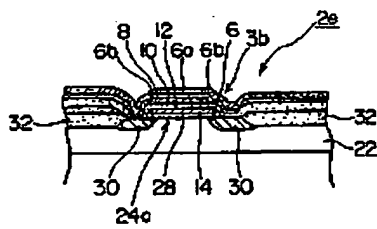
【図3】



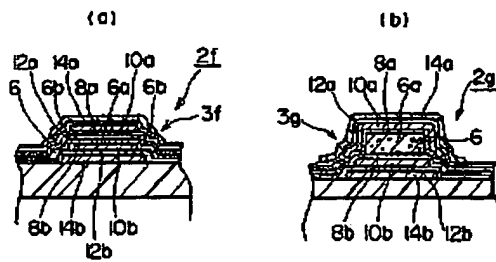
【図5】



【図6】



【図7】



*** NOTICES ***

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] TFT type nonvolatile semiconductor memory equipment characterized by having formed the gate electrode structure for constituting nonvolatile semiconductor memory in an upper layer [of the semiconductor thin film which forms a channel field in the semiconductor thin film currently indirectly formed through other direct or functional thin film on the insulator layer, and by which this channel field was formed in it], and/or lower layer side.

[Claim 2] The above-mentioned gate electrode structure is TFT type nonvolatile semiconductor memory equipment according to claim 1 which consists of the floating gate by which a laminating is carried out through an insulator layer, respectively, and the control gate.

[Claim 3] The above-mentioned gate electrode structure is TFT type nonvolatile semiconductor memory equipment according to claim 1 which consists of the silicon nitride film by which a laminating is carried out through an insulator layer, and a gate electrode.

[Translation done.]

* NOTICES *

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] this invention relates to TFT (TFT) type nonvolatile semiconductor memory equipment especially with respect to nonvolatile semiconductor memory equipment.

[0002]

[Description of the Prior Art] As nonvolatile semiconductor memory equipment, EPROM in which an informational deletion and informational writing are possible, flash plate type E2 PROM, and MNOS type E2 PROM are known. These EPROMs, flash plate type E2 PROM, and MNOS type E2 PROM form the source, a drain field, and a channel field in the semiconductor substrate made from silicon in the former, and the gate electrode structure for constituting non-volatile memory on the semiconductor substrate is formed.

[0003]

[Problem(s) to be Solved by the Invention] Since a memory cell must be arranged two-dimensional along the front face of a semiconductor substrate in order to increase the capacity of such conventional nonvolatile semiconductor memory equipment, it has the trouble where the chip size of a memory apparatus must be enlarged. Recently the memory apparatus which attained high integration by devising the array of gate electrode structure is developed, and, fundamentally, there is a limitation also in high integration for the configuration which arranges a memory cell two-dimensional along the front face of a semiconductor substrate.

[0004] Moreover, with the configuration of the conventional nonvolatile semiconductor memory equipment, since it is the configuration which forms the source, a drain field, and a channel field in a semiconductor substrate, the physical relationship of a channel field and a gate electrode becomes settled uniquely, and it also has the trouble where the degree of freedom of a design layout is narrow.

[0005] It can be made in view of such actual condition, the chip size for obtaining the memory of the same capacity can be reduced sharply, it can be integrated highly, and this invention aims at offering the nonvolatile semiconductor memory equipment in which a free layout design is possible in the orientation of 3 dimension.

[0006]

[Means for Solving the Problem] In order to attain such a purpose, with the

nonvolatile semiconductor memory equipment of this invention, the gate electrode structure for constituting nonvolatile semiconductor memory is formed in the upper layer [of the semiconductor thin film which forms a channel field in the semiconductor thin film currently indirectly formed through other direct or functional thin film on the insulator layer and by which this channel field was formed in it], and/or lower layer side.

[0007]

[Function] With the nonvolatile semiconductor memory equipment of this invention, a reduction and high integration of a chip size are attained by forming a channel field in a semiconductor thin film, non-volatile memory of TFT structure being realized since the gate electrode structure for constituting nonvolatile semiconductor memory in an upper layer [of the semiconductor thin film] and/or lower layer side is formed, for example, forming the circumference circuit for a memory drive in a semiconductor substrate etc. Moreover, since it is enabled to arrange gate electrode structure to an upper layer [of a semiconductor thin film], and/or lower layer side, the degree of freedom of a design layout increases. With the structure of having a gate electrode in the lower layer side of a semiconductor thin film especially, it is enabled to communalize this gate electrode with the gate electrode of the channel formed in the semiconductor substrate, and is enabled to reduce the number of gate electrode wirings.

[0008]

[Example] Hereafter, the TFT (TFT) type nonvolatile semiconductor memory equipment concerning one example of this invention is explained in detail, referring to a drawing. The important section outline cross section of TFT type nonvolatile semiconductor memory equipment which drawing 1 requires for one example of this invention, and the drawings 2 -7 are important section outline cross sections of the TFT type nonvolatile semiconductor memory concerning other examples of this invention.

[0009] The nonvolatile semiconductor memory equipment 2 shown in drawing 1 is EPROM currently formed in the semiconductor thin film, and has the memory cell 3 of a configuration so that it may illustrate. In each memory cell 3, the semiconductor thin film 6 is formed on the layer insulation layer 4 currently formed on the semiconductor substrate not to illustrate. This semiconductor thin film 6 is a polysilicon contest thin film formed by CVD, and channel field 6a and source drain field field 6b are formed in this thin film 6. In addition, you may be made to use an amorphous silicon thin film or the single-crystal-silicon thin film of SOI (Silicon On Insulator) structure which carried out single crystal growth as a semiconductor thin film 6 in addition to a polysilicon contest thin film. Although especially the thickness of the semiconductor thin film 6 is not limited, they are several 100 - about 1000Å of numbers preferably. It is so desirable that the grain size of a thin film 6 is large from the viewpoint which prevents a leakage current.

[0010] On the semiconductor thin film 6, the laminating of the gate insulator layer 8 is carried out. The gate insulator layer 8 consists of a silicon-oxide thin film formed by CVD. Although it is not limited, especially the thickness of the gate insulator layer 8 is about 400Å or less, when it constitutes floating-gate type EPROM. Moreover, when it constitutes flash plate type E2 PROM which has the

floating gate, it is about 100Å. Fundamentally, floating-gate type EPROM and flash plate type E2 PROM which has the floating gate have the same configuration, and the thickness of a gate insulator layer and the informational write-in deletion technique have a difference. By floating-gate type EPROM, an information is written in using the hot-electron effect and an information is written in by flash plate type E2 PROM which has the floating gate using the tunnel effect.

[0011] The floating gate 10 is formed on the gate insulator layer 8. The floating gate 10 is formed by etching into a predetermined pattern the polysilicon contact layer formed by CVD etc. Source drain field 6b mentioned above is formed by carrying out the ion implantation of the impurity of N type to the semiconductor thin film 6 in self aryne, after forming the floating gate 10. In making the MOS transistor of P type constitute, it carries out the ion implantation of the impurity of P type.

[0012] On the floating gate 10, the control gate 14 is formed through an insulator layer 12. The control gate 14 is formed like the floating gate. On the floating gate 14, the laminating of the layer insulation layer 16 is carried out, and a wiring layer is formed on this insulator layer 16.

[0013] With the nonvolatile semiconductor memory equipment 2 which consists of EPROM of such a configuration, informational writing is performed by storing up an electron to the floating gate 10 using the hot-electron effect between source drains. Moreover, an informational deletion is performed by making an electron emit from the floating gate 10 by irradiating an ultraviolet linear light etc. Moreover, when referred to as flash plate type E2 PROM with the structure shown in drawing 1 , and the same structure, an informational write-in deletion is performed by the electronic injection and electronic exudation to the floating gate 10 using the tunnel-current effect.

[0014] Drawing 2 shows other examples of this invention, and shows the example at the time of applying this invention to MNOS (Metal Nitride Oxide Semiconductor) type E2 PROM. In each memory cell 3a of semiconductor memory equipment 2a of this example, the semiconductor thin film 6 is formed on the layer insulation layer 4. This semiconductor thin film 6 is the same as that of the semiconductor thin film 6 shown in drawing 1 , and channel field 6a and source drain field field 6b are formed in this thin film 6. On the semiconductor thin film 6, the oxidization silicon layer as gate insulator layer 8a is formed. The thickness of this oxidization silicon layer is 20Å or less. This oxidization silicon layer is formed by CVD. On insulator layer 8a which consists of this oxidization silicon layer, the laminating of the silicon nitride film 18 is carried out. The trap which captures an electron exists in this silicon nitride film 18, the high electric field are *****ed to insulator layer 8a, a tunnel current is passed, and an informational write-in deletion is performed. On a silicon nitride film 18, the gate electrode 20 is formed by the predetermined pattern. As a gate electrode 20, the metal-electrode layer which consists of aluminum, for example is used.

[0015] Drawing 3 shows other examples to the pan of this invention, and shows the example of TFT type nonvolatile semiconductor memory equipment of bottom gate structure. In each memory cells 3b and 3c in the semiconductor memory equipments 2b and 2c of this example, on the layer insulation layer 4, the

laminating of the control gate 14, the insulator layer 12, the floating gate 10, the gate insulator layer 8, and the semiconductor thin film 6 has been carried out in this order, and the gate electrode is formed underneath the semiconductor thin film 6. And source drain field 6b and channel field 6a are formed in the semiconductor thin film 6. Thus, TFT in which the gate electrode is formed underneath the semiconductor thin film 6 is called bottom gate type TFT. It is enabled to wrap the floating gate 10 especially in the example shown in drawing 3 (b) at the control gate 14, since concavity 4a is formed in the front face of an insulator layer 4 and it is made to form bottom gate EPROM or E2 PROM of TFT structure in this concavity 4a, moreover the front face of a semiconductor device becomes a flat, and it is convenient.

[0016] In semiconductor memory equipment 2c of the example shown in drawing 4, many top gate type memory cells 3 of TFT structure which is shown in drawing 1, and two kinds of memory cells with bottom gate type memory cell 3b of TFT structure which is shown in drawing 3 (a) are arranged on the front face of the layer insulation layer 4. It is desirable to constitute the semiconductor thin film 6, the floating gate 10, and the control gate 14 from this example by the polysilicon contest thin film which is the same quality of the material altogether. It is for making a manufacture easy.

[0017] With 2d of the semiconductor memory equipments of the example shown in drawing 5, the transistor 24 of an N type MOS structure is formed in the front face of the semiconductor substrate 22, and the top gate type memory cell 3 of TFT structure which is shown in drawing 1 through the layer insulation layer 4 is formed on it. In this example, in order to lose the influence of the gate electrode 26 of the transistor 24 of the N type MOS structure to channel field 6a currently formed in the semiconductor thin film 6, it is necessary to fully take the thickness of the layer insulation layer 4. The thickness of this layer insulation layer 4 is 1000Å or more. In addition, a sign 28 is the gate insulator layer of the transistor 24 of an N type MOS structure among drawing, a sign 30 is the source drain field, and a sign 32 is a selective-oxidation field as an isolation field.

[0018] In semiconductor memory equipment 2e of the example shown in drawing 6, the gate electrode of transistor 24a of the N type MOS structure currently formed in the front face of the semiconductor substrate 22 is used also [gate / control / 14 / of bottom gate type memory cell 3b of TFT structure], and it has communalized. In this example, it is enabled to reduce the number of gate electrode wirings.

[0019] The semiconductor memory equipments 2f and 2g of the example shown in drawing 7 (a) and (b) have the memory cells 3f and 3g which have carried out the laminating of the floating gates 10a and 10b and the control gates 14a and 14b to the both sides by the side of the upper layer of the semiconductor thin film 6, and a lower layer through insulator layers 8a, 8b, 12a, and 12b, respectively. Thus, by preparing a gate electrode in the vertical both sides of channel field 6a of the semiconductor thin film 6, it can be enabled to enlarge the ON state current which flows channel field 6a, and the on-off ratio of a memory cell can be raised.

Moreover, by preparing a gate electrode in the vertical both sides of channel field 6a, these gates electrode serves as a shield and the bad influence to channel field

6a from other wiring layers can be prevented.

[0020] Especially in the example shown in drawing 7 (b), the semiconductor thin film 6 is formed comparatively thickly, and since the laminating has been carried out so that the semiconductor thin film 6 may be covered by floating-gate 10a by the side of the upper layer, and control gate 14a, it is enabled to also use the side face of the semiconductor thin film 6 as channel field 6a. You may constitute so that an individual gate electrode may be arranged on the side face of the semiconductor thin film 6 with a natural thing. In addition, drawing 7 (b) is a cross section which crosses channel field 6a.

[0021] in addition, this invention is not limited to the example mentioned above, within the limits of this invention, can be boiled variously and can be changed

[0022]

[Effect of the Invention] As explained above, according to this invention, a reduction and high integration of a chip size are attained by forming the circumference circuit for a drive where non-volatile memory of TFT structure is realized, for example, high drive capacity is required of a semiconductor substrate etc. Moreover, since it is enabled to arrange gate electrode structure to an upper layer [of a semiconductor thin film], and/or lower layer side, the degree of freedom of a design layout increases sharply. With the structure of having a gate electrode in the lower layer side of a semiconductor thin film especially, it is enabled to communalize this gate electrode with the gate electrode to the channel formed in the semiconductor substrate, and is enabled to reduce the number of gate electrode wirings. Moreover, in this invention which prepared the gate electrode in the vertical both sides of the channel field currently formed in the semiconductor thin film, an up-and-down gate electrode serves as a shield, and the bad influence to the channel from other wiring layers can be prevented.

[Translation done.]